



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0077289  
Application Number

출원년월일 : 2002년 12월 06일  
Date of Application DEC 06, 2002

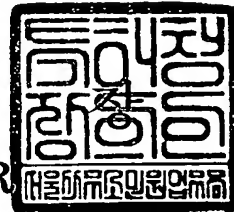
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0003  
**【제출일자】** 2002.12.06  
**【발명의 명칭】** 일회적 프로그래밍이 가능한 롬을 구비하는 반도체 장치 및 그 제조방법  
**【발명의 영문명칭】** Semiconductor Device Having One-Time Programmable ROM And Method Of Fabricating The Same  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 임창현  
**【대리인코드】** 9-1998-000386-5  
**【포괄위임등록번호】** 1999-007368-2  
**【대리인】**  
**【성명】** 권혁수  
**【대리인코드】** 9-1999-000370-4  
**【포괄위임등록번호】** 1999-056971-6  
**【발명자】**  
**【성명의 국문표기】** 김명수  
**【성명의 영문표기】** KIM,MYOUNG SOO  
**【주민등록번호】** 690523-1063118  
**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 1052번지 2호 황골마을 쌍용아파트 249 동 1902호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 13 면 13,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 23 항 845,000 원

【합계】 887,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

일회적 프로그래밍이 가능한 롬을 구비하는 반도체 장치 및 그 제조 방법을 제공한다. 메모리 셀 영역 및 주변회로 영역을 포함하는 반도체기판에 형성되는, 이 OTP 롬을 구비하는 반도체 장치는 부유 게이트 전극을 구비하면서 메모리 셀 영역에 배치되는 모오스 트랜지스터와 차례로 적층된 하부 전극, 상부 금속간 절연막 및 상부 전극을 구비하는 OTP롬 커패시터를 포함한다. OTP롬 커패시터는 모오스 트랜지스터의 상부에 배치되고, 부유 게이트 전극 및 하부 전극은 부유 게이트 플러그에 의해 연결되며, 이 연결된 도전성 구조체는 전기적으로 격리된다. 상부 금속간 절연막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성하며, 반도체기판의 전면에 배치될 수 있다. 주변회로 영역에는 OTP롬 커패시터와 함께 형성되는 커패시터가 배치된다.

**【대표도】**

도 7a

**【명세서】****【발명의 명칭】**

일회적 프로그래밍이 가능한 롬을 구비하는 반도체 장치 및 그 제조 방법{Semiconductor Device Having One-Time Programmable ROM And Method Of Fabricating The Same}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 OTP롬을 나타내는 공정단면도이다.

도 2 내지 도 5는 본 발명의 일 실시예에 따른 OTP 롬을 구비하는 반도체 장치의 제조 방법을 설명하기 위한 공정단면도들이다.

도 6은 본 발명의 다른 실시예에 따른 OTP 롬을 구비하는 반도체 장치의 제조 방법을 설명하기 위한 공정단면도이다.

도 7a 및 도 7b는 각각 본 발명의 바람직한 실시예에 따른 OTP 롬 및 커패시터를 나타내는 사시도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 OTP 롬(one-time programmable ROM)를 구비하는 반도체 장치 및 그 제조 방법에 관한 것이다.

<6> OTP롬은 단지 한번의 프로그램(program) 동작을 수행한 이후에는 추가적인 프로그램 동작 또는 이레이즈(erase) 동작을 수행하지 않고 사용된다. 이처럼 OTP 롬은 저장된 정보를 변

경할 수 없기 때문에, 그 자체만으로는 제품으로서 사용되지 못하고 단지 반도체 제품에서 보조적 기능을 수행하는 수단으로 사용된다.

<7> 또한, 한개의 반도체 장치에 내장되는 OTP 롬의 갯수는 일반적으로 적기 때문에, 반도체 제품의 전체 면적에서 상기 OTP롬이 차지하는 면적은 크기 않다. 하지만, 종래 기술에 따른 OTP 롬이 비휘발의 특성을 갖기 위해서는 적층(stack) 구조를 갖는데, 이러한 적층 구조는 OTP 롬을 구비하는 반도체 장치의 제조 비용을 증가시킨다.

<8> 도 1은 종래 기술에 따른 OTP 롬을 설명하기 위한 공정 단면도이다.

<9> 도 1을 참조하면, 반도체기판(10)의 소정영역에는 활성영역을 한정하는 소자분리막(20)이 배치된다. 상기 활성영역의 상부면에는 게이트 절연막(30)이 형성되고, 상기 게이트 절연막(30) 상에는 상기 활성영역 및 상기 소자분리막(20)을 가로지르는 게이트 전극(40)이 배치된다. 상기 게이트 전극(40)은 차례로 적층된 부유 게이트 전극(42), 게이트 층간절연막(44) 및 제어 게이트 전극(46)으로 구성된다. 상기 게이트 전극(40)은 상기 제어 게이트 전극(46)의 상부에 배치되는 캐핑 패턴(48)을 더 포함할 수 있다. 이에 따라, 상기 게이트 전극(40)은 더욱 높아진 적층 구조가 된다. 상기 게이트 전극(40) 양옆의 활성영역에는, 소오스/드레인으로 사용되는 불순물 영역(50)이 배치된다.

<10> 한편, 상기 반도체기판(10)의 다른 영역(주변회로 영역)에는 통상적인 구조의, 즉 상기 게이트 층간절연막(44)을 포함하지 않는 게이트 전극을 구비하는 모오스 트랜지스터들(metal-oxide-silicon transistors, MOS transistors)이 배치된다. 이러한 통상적인 구조의 모오스 트랜지스터들은 논리 회로(logic circuit)를 구성한다. 상술한 것처럼, 상기 OTP롬을 사용하는 반도체 제품에서, 주된 기능은 상기 논리 회로가 담당하고, 상기 OTP롬은 보조적 기능만을 수행한다.

<11> 이처럼 주된 기능을 담당하는 상기 논리 회로를 형성하는데 있어서, 상기 게이트 층간절연막(44)을 구비하는 적층 구조의 OTP롬은 공정 양립성(compatibility)에서 바람직하지 않다. 즉, 상기 OTP 롬에서 상기 부유 게이트 전극(42)은 전기적으로 완전히 절연된다. 이에 따라, 상술한 OTP 롬 형성 공정에 따를 경우, 상기 논리 회로의 게이트 전극 역시 전기적으로 절연된다. 그 결과, 상기 OTP롬은 제대로 동작하지 않게된다. 이러한 문제를 해결하기 위해, 상기 게이트 층간절연막(44)을 제거하는 소정의 공정 단계가 더 실시되어야 한다. 이러한 추가적인 공정 단계는 상기 OTP 롬이 형성되는 영역을 가리는 식각 마스크를 형성하는 단계를 포함하며, 이는 결국 공정 비용의 증가를 초래한다.

<12> 또한, 상술한 것처럼 상기 OTP 롬의 갯수는 적다. 이 경우 알려진 것처럼, 사진 공정, 특히 상기 제어 게이트 전극(46) 형성을 위한 사진 공정이 불안정하게 실시될 수 있다. 이를 해결하기 위해, 통상적으로 상기 OTP 롬의 주변에 더미 패턴(dummy pattern)을 더 형성한다. 하지만, 상기 더미 패턴은 불필요한 면적을 차지하므로 고집적화를 위해서는 바람직하지 않다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 논리 회로 형성 공정에서 공정 양립성을 가질 수 있는 OTP 롬을 구비하는 반도체 장치의 제조 방법을 제공하는 데 있다.

<14> 본 발명이 이루고자 하는 다른 기술적 과제는 더미 패턴을 형성할 필요가 없는 OTP 롬을 구비하는 반도체 장치의 제조 방법을 제공하는 데 있다.

<15> 본 발명이 이루고자 하는 또다른 기술적 과제는 효과적인 프로그램이 가능한 OTP 롬을 구비하는 반도체 장치를 제공하는 데 있다.

## 【발명의 구성 및 작용】

- <16>       상기 기술적 과제들을 달성하기 위하여, 본 발명은 커패시터의 하부 전극과 부유 게이트 전극이 연결된 구조의 OTP 롬을 구비하는 반도체 장치를 제공한다. 메모리 셀 영역 및 주변회로 영역을 포함하는 반도체기판에 형성되는 이 OTP 롬을 구비하는 반도체 장치는 부유 게이트 전극을 구비하면서 상기 메모리 셀 영역에 배치되는 모오스 트랜지스터와 차례로 적층된 하부 전극, 상부 금속간 절연막 및 상부 전극을 구비하면서 상기 모오스 트랜지스터의 상부에 배치되는 OTP롬 커패시터를 포함한다. 상기 부유 게이트 전극 및 상기 하부 전극은 부유 게이트 플러그에 의해 연결된다. 이때, 상기 부유 게이트 전극, 부유 게이트 플러그 및 하부 전극으로 이루어진 도전성 구조체는 전기적으로 격리되는 것을 특징으로 한다.
- <17>       상기 도전성 구조체는 상기 OTP롬의 전하 저장소로 사용된다. 한편, 상기 주변회로 영역에는 상기 OTP롬 커패시터와 동일한 구조, 즉 물질의 종류 및 두께에서 동일한 커패시터가 배치된다. 상기 커패시터는 상기 주변회로 영역에 차례로 적층된 커패시터 하부 전극, 유전막 및 커패시터 상부 전극으로 구성된다. 본 발명의 일 실시예에 따르면, 상기 상부 금속간 절연막은 상기 유전막과 구별할 수 없는 일체를 이룬다.
- <18>       한편, 상기 상부 금속간 절연막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질인 것이 바람직하며, 상기 반도체기판의 전면에 배치될 수 있다. 또한, 상기 반도체기판의 소정영역에 접속하면서 상기 부유 게이트 플러그와 같은 물질로 이루어지는 콘택 플러그가 더 배치될 수도 있다.
- <19>       상기 다른 기술적 과제들을 달성하기 위하여, 본 발명은 메모리 셀 영역 및 주변회로 영역을 포함하는 반도체기판에, 커패시터 형성 공정을 이용하여 OTP롬을 제조하는 반도체 장치의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 부유 게이트 전극을 형성하고, 상기 부유



게이트 전극에 전기적으로 연결되는 하부 전극을 형성하고, 상기 하부 전극을 포함하는 반도체 기판의 전면에 상부 금속간 절연막을 형성한 후, 상기 상부 금속간 절연막 상에서 상기 하부 전극의 상부를 지나는 상부 전극을 형성하는 단계를 포함한다.

<20> 본 발명의 한(some) 실시예에 따르면, 상기 부유 게이트 전극을 형성하기 전에 상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하고, 상기 활성영역에 게이트 절연막을 형성하는 단계를 더 실시할 수 있다.

<21> 또한, 본 발명의 한 실시예에 따르면, 상기 하부 전극을 형성하기 전에, 상기 부유 게이트 전극을 포함하는 반도체기판의 전면에 층간절연막을 형성하고, 상기 층간절연막을 패터닝하여 상기 부유 게이트 전극의 상부면을 노출시키는 부유 게이트 콘택홀을 형성한 후, 상기 부유 게이트 콘택홀을 채우는 부유 게이트 플러그를 형성하는 단계를 더 실시할 수 있다. 이후, 상기 부유 게이트 플러그를 포함하는 반도체기판의 전면에 하부 도전막을 형성한 후, 상기 하부 전극이 상기 부유 게이트 플러그에 전기적으로 연결되도록 상기 하부 도전막을 패터닝할 수 있다.

<22> 한편, 상기 부유 게이트 전극 및 상기 하부 전극으로 이루어진 도전성 구조물은 전기적으로 격리되도록 형성된다.

<23> 본 발명의 한 실시예에 따르면, 상기 상부 금속간 절연막을 형성하기 전에, 상기 하부 전극을 포함하는 반도체기판의 전면에 하부 금속간 절연막을 형성한후, 상기 하부 금속간 절연막을 패터닝하여 상기 하부 전극의 상부면을 노출시키는 OTP롬 개구부를 형성하는 단계를 더 실시할 수도 있다.

- <24> 본 발명의 한 실시예에 따르면, 상기 상부 금속간 절연막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 상부 금속간 절연막은 상기 상부 전극을 형성하는 공정에서 식각 정지막으로 사용될 수 있다.
- <25> 본 발명의 한 실시예에 따르면, 상기 상부 전극을 형성하는 단계는 상기 상부 금속간 절연막이 상기 반도체기판의 전면에 잔존하도록 실시한다.
- <26> 본 발명의 한 실시예에 따르면, 상기 주변회로 영역에는 상기 하부 전극을 형성할 때, 커패시터 하부 전극이 함께 형성된다. 또한, 상기 커패시터 하부 전극의 상부에는 상기 상부 전극을 형성할 때, 커패시터 상부 전극이 함께 형성된다. 이에 더하여, 상기 OTP롬 개구부를 형성하는 단계를 이용하여, 상기 하부 금속간 절연막에 상기 커패시터 하부 전극을 노출시키는 커패시터 개구부를 함께 형성할 수도 있다. 이러한 실시예에 따르면, 상기 주변회로 영역에 커패시터를 형성하는 통상적인 공정을 이용하여, 상기 셀 어레이 영역에서 상기 OTP롬에 접속 하면서 그 상부에 배치되는 OTP롬 커패시터를 형성한다.
- <27> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.
- <28> 도 2 내지 도 5는 본 발명의 바람직한 실시예에 따른 OTP롬을 구비하는 반도체 장치를 제조하는 방법을 설명하기 위한 공정단면도들이다.

- <29> 도 2를 참조하면, 메모리 셀 영역 및 주변 회로 영역을 포함하는 반도체기판(100)을 준비한다. 상기 메모리 셀 영역 및 주변 회로 영역은 각각 본 발명에 따른 OTP 롬들이 형성되는 영역 및 논리 회로들이 형성되는 영역이다. 상기 반도체기판(100)의 소정영역에 활성영역을 한정하는 소자분리막(110)을 형성한다. 상기 소자분리막(110)은 트렌치형(trench type) 또는 로코스형(LOCOS type) 소자분리막일 수 있으며, 실리콘 산화막 및 실리콘 질화막으로 이루어질 수 있다.
- <30> 상기 활성영역의 상부면에 게이트 절연막(120)을 형성한다. 상기 게이트 절연막(120)은 상기 활성영역의 반도체기판(100)을 열산화시키는 방법으로 형성한 실리콘 산화막인 것이 바람직하다.
- <31> 상기 게이트 절연막(120)을 포함하는 반도체기판 상에 부유 게이트 전극(130)을 형성한다. 상기 부유 게이트 전극(130)은 상기 활성영역을 가로지르되, 상기 소자분리막(110) 상부에서 단절되는 섬 형태인 것(islet)이 바람직하다. 또한, 상기 부유 게이트 전극(130)은 다결정 실리콘, 텅스텐, 텅스텐 질화막, 텅스텐 실리사이드 및 코발트 실리사이드 중에서 선택된 적어도 한가지 물질로 형성한다. 통상적인 플래쉬 메모리의 제조 방법에 따르면, 부유 게이트 전극은 두번의 패터닝을 통해 형성된다. 본 발명에 따른 상기 부유 게이트 전극(130)은 한번의 패터닝을 통해 형성하는 것이 바람직한데, 상기 통상적인 플래쉬 메모리의 제조 방법에 따라 두번의 패터닝을 통해 형성될 수도 있다.
- <32> 상기 부유 게이트 전극(130) 양 옆의 활성영역에, 통상적인 이온 주입 공정을 사용하여 불순물 영역(140)을 형성한다. 상기 불순물 영역(140)은 LDD(lightly doped drain) 구조로 형성될 수 있으며, 이를 위해서는 상기 부유 게이트 전극(130)의 측벽에 스페이서(도시하지

않음)를 형성하는 추가적인 공정이 더 실시될 수도 있다. 상기 불순물 영역(140)은 모오스 트랜지스터의 소오스/드레인으로 사용된다.

<33> 도 3을 참조하면, 상기 불순물 영역(140)이 형성된 반도체기판의 전면에 층간절연막(interlayer dielectric, ILD, 150)을 적층한다. 이에 따라, 상기 층간절연막(150)은 상기 주변 회로 영역에도 형성된다.

<34> 상기 층간절연막(150)은 실리콘 산화막으로 형성하는 것이 바람직한데, 실리콘 질화막을 더 포함할 수도 있다. 본 발명의 일 실시예에 따르면, 상기 층간절연막(150)은 차례로 적층된 하부 층간절연막(lower ILD, 152) 및 상부 층간절연막(upper ILD, 154)으로 이루어진다. 이 실시예에서, 상기 하부 층간절연막(152) 및 상부 층간절연막(154)은 각각 실리콘 질화막 및 실리콘 산화막이다. 상기 하부 층간절연막(152)은 상기 부유 게이트 전극(130)이 형성된 반도체기판의 전면을 콘포말하게 덮는다. 상기 상부 층간절연막(154)은 상기 하부 층간절연막(152)을 포함하는 반도체기판의 전면에서 평탄화 식각의 단계를 더 포함할 수 있다.

<35> 상기 층간절연막(150)을 패터닝하여 상기 부유 게이트 전극(130) 및 상기 불순물 영역(140)을 각각 노출시키는 부유 게이트 콘택홀(164) 및 불순물 영역 콘택홀(162)을 형성한다. 이후, 그 결과물 전면에서 플러그 도전막을 형성한 후, 상기 플러그 도전막을 식각하여 상기 상부 층간절연막(154)을 노출시킨다. 이에 따라, 상기 부유 게이트 콘택홀(164) 및 상기 불순물 영역 콘택홀(162)을 각각 채우는 부유 게이트 플러그(174) 및 콘택 플러그(172)가 형성된다. 이와 더불어, 상기 주변 회로 영역에서도 논리 회로들을 동작시키는데 필요한 플러그들을 형성할 수 있다. 이러한 플러그들은 상기 부유 게이트 플러그(174) 및 콘택 플러그(172)를 형성하는 단계를 이용하여 형성하는 것이 바람직하다.

- <36>      상기 부유 게이트 플러그(174) 및 상기 콘택 플러그(172)를 포함하는 반도체기판의 전면  
에 하부 도전막을 형성한다. 상기 하부 도전막은 캐핑 도전막을 갖는 다층 구조일 수 있다. 이  
를 위해, 상기 하부 도전막은 알루미늄, 구리, 텅스텐, 티타늄, 다결정 실리콘, 텅스텐 질화막  
및 티타늄 질화막 중에서 선택된 적어도 한가지 물질인 것이 바람직하다. 상기 하부 도전막을  
패터닝하여, 상기 부유 게이트 플러그(174) 및 상기 콘택 플러그(172)에 각각 접촉하는 하부  
전극(184) 및 비트 라인(182)을 형성한다. 상기 하부 전극(184)은 상기 부유 게이트 전극(130)  
과 마찬가지로 인접한 셀로 연장되지 않고, 격리된 구조를 갖는다. 이에 비해, 상기 비트 라인  
(182)은 인접한 셀들의 불순물 영역들(140)에 전기적으로 연결될 수도 있다.
- <37>      상기 하부 전극(184)을 형성하는 동안, 상기 주변 회로 영역에 적층된 하부 도전막을 함  
께 패터닝하여 커패시터 하부 전극(186)을 형성한다. 상기 커패시터 하부 전극(186)은 논리 회  
로에서 사용되는 커패시터를 구성한다. 일반적으로 반도체 장치는 상기 논리 회로의 커패시터  
를 필수적으로 구비하기 때문에, 상기 커패시터 하부 전극(186)과 함께 형성되는 상기 하부 전  
극(184) 및 비트 라인(182)은 공정 비용의 추가없이 형성될 수 있다.
- <38>      도 4를 참조하면, 상기 하부 전극(184), 비트 라인(182) 및 커패시터 하부 전극(186)을  
포함하는 반도체기판의 전면에서 하부 금속간 절연막(lower intermetal dielectric, lower IMD,  
190)을 형성한다. 상기 하부 금속간 절연막(190)은 화학 기상 증착 기술을 사용하여 형성된 실  
리콘 산화막인 것이 바람직하다.
- <39>      상기 하부 금속간 절연막(190)을 패터닝하여, 상기 하부 전극(184) 및 상기 커패시터 하  
부 전극(186)의 각 상부면들을 노출시키는 OTP롬 개구부(194)와 커패시터 개구부(196)를 형성  
한다.

- <40>      상기 OTP롬 개구부(194) 및 상기 커패시터 개구부(196)가 형성된 반도체기판의 전면에서 상부 금속간 절연막(upper intermetal dielectric, upper IMD, 200)을 콘포말하게 형성한다. 상기 상부 금속간 절연막(200) 및 상기 하부 금속간 절연막(190)은 금속간 절연막(intermetal dielectric, IMD, 205)을 구성한다. 상기 상부 금속간 절연막(200)은 차례로 적층된 실리콘 산화막 및 실리콘 질화막인 것이 바람직하다. 이때, 상기 실리콘 산화막 및 상기 실리콘 질화막은 모두 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition)을 통해 형성된 플라즈마 강화 산화막(plasma enhanced oxide, PEOX) 및 플라즈마 강화 질화막(plasma enhanced silicon nitride, PE-SiN)인 것이 바람직하다. 또한, 상기 실리콘 산화막 및 실리콘 질화막은 각각 대략 300Å의 두께 및 적어도 900Å의 두께인 것이 바람직하다.
- <41>      한편, 상기 부유 게이트 전극(130), 부유 게이트 플러그(174) 및 하부 전극(184)으로 이루어지는 도전성 구조체는 상기 게이트 절연막(120), 상기 층간절연막(150), 상기 금속간 절연막(205)에 의해 전기적으로 완전히 격리된다.
- <42>      도 5를 참조하면, 상기 상부 금속간 절연막(200)을 포함하는 반도체기판의 전면에서 제 1 상부 도전막을 형성한다. 상기 상부 금속간 절연막(200)이 노출될 때까지 상기 제 1 상부 도전막을 식각하여, 상기 OTP롬 개구부(194) 및 상기 커패시터 개구부(196)를 각각 채우는 제 1 상부 전극(214) 및 제 1 커패시터 상부 전극(216)을 형성한다. 상기 식각 공정은 상기 상부 금속간 절연막(200)에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 실시된다. 이때, 상기 상부 금속간 절연막(200)을 구성하는 실리콘 질화막은 식각 정지막의 역할을 한다. 또한, 상기 제 1 상부 도전막은 텅스텐, 구리, 티타늄, 알루미늄, 다결정 실리콘, 텅스텐 질화막 및 티타늄 질화막 중에서 선택된 적어도 한가지 물질인 것이 바람직하다.

- <43>      상기 제 1 상부 전극(214) 및 제 1 커패시터 상부 전극(216)을 포함하는 반도체기판 전면에, 제 2 상부 도전막을 형성한다. 상기 제 2 상부 도전막을 패터닝하여, 상기 제 1 상부 전극(214) 및 상기 제 1 커패시터 상부 전극(216)에 연결되는 제 2 상부 전극(224) 및 제 2 커패시터 상부 전극(226)을 형성한다.
- <44>      본 발명의 다른 실시예(도 6 참조)에 따르면, 상기 제 1 상부 도전막과 상기 제 2 상부 도전막을 형성하는 단계들은 구분되지 않을 수 있다. 이 경우, 상기 제 1 상부 전극(214)과 상기 제 2 상부 전극(224), 그리고 상기 제 1 커패시터 상부 전극(216)과 상기 제 2 커패시터 상부 전극(226)은 각각 일체(one body)를 이룬다.
- <45>      또한, 본 발명의 또다른 실시예에 따르면, 도 6에 도시된 것처럼, 상기 하부 금속간 절연막(190)은 상기 하부 전극(184) 및 상기 커패시터 하부 전극(186)과 같은 높이일 수도 있다. 이 경우, 상기 OTP롬 개구부(194) 및 커패시터 개구부(196)는 형성되지 않는다.
- <46>      상술한 본 발명의 제조 방법에 따를 경우, 주변 회로 영역에 커패시터를 형성하는 공정 단계를 이용하여 OTP 롬을 제조할 수 있다. 이 방법에 따르면, 공정 단계가 추가되지 않으므로 제조 비용을 절감할 수 있다. 또한, 결과적으로 형성된 OTP 롬의 게이트는 적층 구조가 아니라 일반적인 모오스 트랜지스터의 게이트 구조이므로, 논리 회로와의 공정 양립성의 측면에서 유리하다. 이에 더하여, 종래 기술에서 게이트 층간절연막을 제거하는 공정 단계가 불필요해지므로, 공정 단계를 최소화시킬 수도 있다. 또한, 제어 게이트 전극 형성을 위한 패터닝 공정에 더미 패턴을 형성할 필요가 없어지므로, 칩 면적을 최소화할 수 있다.
- <47>      특히, 본 발명에 따르면, 상기 상부 금속간 절연막(200)은 커패시터의 유전막으로 사용될 뿐만 아니라 상기 제 1 및 제 2 상부 전극(214, 224) 형성을 위한 패터닝 공정에서 식각 정

지막으로 사용할 수 있다. 그 결과, 반도체 장치의 제조 비용은 감소하고, 제조 공정의 안정성은 높아진다.

<48> 도 7a 및 도 7b는 각각 본 발명의 바람직한 실시예에 따른 OTP 롬 및 커패시터를 나타내는 사시도들이다.

<49> 도 7a 및 도 7b를 참조하면, 메모리 셀 영역 및 주변 회로 영역을 포함하는 반도체기판(100)의 소정영역에 소자분리막(110)이 배치되어 활성영역을 한정한다. 상기 메모리 셀 영역 및 주변 회로 영역은 각각 본 발명에 따른 OTP 롬들이 형성되는 영역 및 논리 회로들이 형성되는 영역이다.

<50> 상기 메모리 셀 영역에는 게이트 절연막(120), 부유 게이트 전극(130) 및 불순물 영역(140)을 구비하는 모오스 트랜지스터가 배치된다. 상기 게이트 절연막(120)은 실리콘 산화막이고, 상기 불순물 영역(140)은 N형의 불순물을 포함하는 것이 바람직하다. 상기 불순물 영역(140)은 본 발명에 따른 OTP롬의 소오스/드레인으로 사용된다. 상기 부유 게이트 전극(130)은 상기 소자분리막(110)의 상부에서 절단되어, 인접한 셀로 연장되지 않는다.

<51> 도시하지 않았지만, 상기 주변 회로 영역에도 NMOS 또는 PMOS 트랜지스터가 상기 모오스 트랜지스터와 동일한 높이에 배치될 수 있다. 상기 모오스 트랜지스터들을 구비하는 반도체기판의 전면에는 층간절연막(ILD, 150)이 배치된다. 상기 층간절연막(150)의 상부에는, 상기 논리 회로에 사용되는 커패시터(300)가 배치된다. 상기 커패시터(300)는 주변 회로 영역에 배치되며, 차례로 적층된 커패시터 하부 전극(186), 유전막(200') 및 커패시터 상부 전극(235)으로 이루어진다. 상기 커패시터 상부 전극(235)은 차례로 적층된 제 1 커패시터 상부 전극(216) 및 제 2 커패시터 상부 전극(226)으로 구성된다.



<52> 한편, 상기 메모리 셀 영역의 상부에는 상기 커패시터(300)와 동일한 구조의 OTP롬 커패시터가 배치된다. 즉, 상기 부유 게이트 전극(130)의 상부에는, 하부 전극(184), 상부 금속간 절연막(200) 및 상부 전극(230)이 차례로 적층된다. 두께 및 종류에서, 상기 하부 전극(184), 상부 금속간 절연막(200) 및 상부 전극(230)은 차례로 상기 커패시터 하부 전극(186), 유전막(200') 및 커패시터 상부 전극(235)과 동일하다. 특히, 상기 유전막(200')은 상기 메모리 셀 영역까지 연장되어, 상기 상부 금속간 절연막(200)을 구성할 수도 있다. 즉, 상기 유전막(200')과 상기 상부 금속간 절연막(200)은 구별할 수 없는 한개의 대상(object), 즉 일체(one body)일 수 있다.

<53> 상기 하부 전극(184)은 상기 층간절연막(150)을 관통하는 부유 게이트 플러그(174)를 통해 상기 부유 게이트 전극(130)에 전기적으로 연결된다. 이때, 상기 부유 게이트 전극(130), 상기 부유 게이트 플러그(174) 및 상기 하부 전극(184)은 전기적으로 완전히 격리되어, 전하/정보 저장을 위한 장소로 사용된다. 이에 비해, 상기 커패시터 하부 전극(186)은 커패시터의 한 전극으로 사용되도록, 상기 하부 전극(184)과 달리 전기적으로 격리되지 않고 외부 전원에 연결된다.

<54> 상기 불순물 영역(140)에는 상기 부유 게이트 플러그(174)와 같은 물질로 이루어지고, 상기 층간절연막(150)을 관통하는 콘택 플러그(172)가 배치될 수 있다. 이에 더하여, 상기 층간절연막(150)의 상부에는 상기 콘택 플러그(172)에 접속하는 비트 라인(182)이 배치될 수 있다.

<55> 상술한 OTP롬에서, 상기 상부 금속간 절연막(200) 또는 유전막(200')의 두께는 자유롭게 조절될 수 있다. 이에 따라, 프로그램 동작 동안 상기 상부 금속간 절연막(200)을 통해 발생하는 누설 전류(leakage current)를 최소화할 수 있다. 또한, 상기 상부 전극(230)과 하부 전

극(184) 사이의 내압(breakdown voltage)을 충분히 올릴 수 있다. 그 결과, 프로그램 동작을 위해 상기 부유 게이트 전극(130)에 인가되어야 하는 소정의 전압은 상기 상부 전극(230)의 전압을 높임으로써, 쉽게 얻을 수 있다.

#### 【발명의 효과】

<56> 본 발명에 따르면, 주변 회로 영역에 커패시터를 형성하는 공정 단계를 이용하여 부유 게이트 전극과 하부 전극이 연결된 구조를 갖는 OTP롬을 제조한다. 이에 따라, 게이트 층간절연막을 제거하는 공정 단계 또는 더미 패터를 형성하는 단계가 불필요하므로, 제조 비용을 절감할 수 있다. 또한, 결과적으로 형성된 OTP 롬의 게이트는 적층 구조가 아니라 일반적인 모오스 트랜지스터의 구조를 갖기 때문에, 논리 회로와의 공정 양립성의 측면에서 유리하다. 이에 더하여, 커패시터의 유전막으로 사용되는 상부 금속간 절연막은 후속 패터닝 단계에서 식각 정지막으로 사용할 수 있다. 그 결과, 반도체 장치의 제조 비용은 감소하고, 제조 공정의 안정성은 높아진다.

**【특허청구범위】****【청구항 1】**

메모리 셀 영역 및 주변회로 영역을 포함하는 반도체기판에 형성되는 OTP롬을 구비하는 반도체 장치에 있어서,

부유 게이트 전극을 구비하면서, 상기 메모리 셀 영역에 배치되는 모오스 트랜지스터;

차례로 적층된 하부 전극, 상부 금속간 절연막 및 상부 전극을 구비하면서, 상기 모오스 트랜지스터의 상부에 배치되는 OTP롬 커패시터; 및

상기 부유 게이트 전극 및 상기 하부 전극을 연결하는 부유 게이트 플러그를 포함하되, 상기 부유 게이트 전극, 상기 부유 게이트 플러그 및 상기 하부 전극으로 이루어진 도전성 구조체는 전기적으로 격리되는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 주변회로 영역에는, 차례로 적층된 커패시터 하부 전극, 유전막 및 커패시터 상부 전극으로 구성되는 커패시터가 배치되는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

**【청구항 3】**

제 2 항에 있어서,

상기 커패시터와 상기 OTP 롬 커패시터는 물질의 종류 및 두께에서 동일한 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

【청구항 4】

제 2 항에 있어서,

상기 상부 금속간 절연막은 물질 및 두께에서 상기 유전막과 동일한 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

【청구항 5】

제 1 항에 있어서,

상기 상부 금속간 절연막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질인 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

【청구항 6】

제 1 항에 있어서,

상기 상부 금속간 절연막은 상기 반도체기판의 전면에 배치되는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

【청구항 7】

제 1 항에 있어서,

상기 반도체기판의 소정영역에 접속하면서, 상기 부유 게이트 플러그와 같은 물질로 이루어지는 콘택 플러그를 더 구비하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치.

【청구항 8】

반도체기판 상에 부유 게이트 전극을 형성하는 단계;

상기 부유 게이트 전극에 전기적으로 연결되는 하부 전극을 형성하는 단계;

상기 하부 전극을 포함하는 반도체기판의 전면에 상부 금속간 절연막을 형성하는 단계;  
및

상기 상부 금속간 절연막 상에, 상기 하부 전극의 상부를 지나는 상부 전극을 형성하는 단계를 포함하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 9】**

제 8 항에 있어서,

상기 부유 게이트 전극을 형성하기 전에,

상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하는 단계; 및

상기 활성영역에 게이트 절연막을 형성하는 단계를 더 포함하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 10】**

제 8 항에 있어서,

상기 하부 전극을 형성하는 단계는

상기 부유 게이트 전극을 포함하는 반도체기판의 전면에 층간절연막을 형성하는 단계;

상기 층간절연막을 패터닝하여, 상기 부유 게이트 전극의 상부면을 노출시키는 부유 게이트 콘택홀을 형성하는 단계;

상기 부유 게이트 콘택홀을 채우는 부유 게이트 플러그를 형성하는 단계;

상기 부유 게이트 플러그를 포함하는 반도체기판의 전면에 하부 도전막을 형성하는 단계; 및

상기 하부 전극이 상기 부유 게이트 플러그에 전기적으로 연결되도록, 상기 하부 도전막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 11】

제 8 항에 있어서,

상기 부유 게이트 전극 및 상기 하부 전극은 전기적으로 격리되도록 형성되는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 12】

제 8 항에 있어서,

상기 상부 금속간 절연막을 형성하기 전에,

상기 하부 전극을 포함하는 반도체기판의 전면에 하부 금속간 절연막을 형성하는 단계;  
및

상기 하부 금속간 절연막을 패터닝하여, 상기 하부 전극의 상부면을 노출시키는 OTP롬 개구부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 13】

제 8 항에 있어서,

상기 상부 금속간 절연막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 14】**

제 8 항에 있어서,

상기 상부 금속간 절연막은 상기 상부 전극을 형성하는 공정에서 식각 정지막으로 사용되는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 15】**

제 8 항에 있어서,

상기 상부 전극을 형성하는 단계는 상기 상부 금속간 절연막이 상기 반도체기판의 전면에 잔존하도록 실시하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 16】**

메모리 셀 영역 및 주변회로 영역을 포함하는 반도체기판에 OTP롬을 구비하는 반도체 장치를 제조하는 방법에 있어서,

상기 메모리 셀 영역의 반도체기판 상에 부유 게이트 전극을 형성하는 단계;

상기 메모리 셀 영역에서 상기 부유 게이트 전극에 전기적으로 연결되는 하부 전극 및 상기 주변 회로 영역에 배치되는 커패시터 하부 전극을 동시에 형성하는 단계;

상기 하부 전극 및 상기 커패시터 하부 전극을 포함하는 반도체기판의 전면에 유전막을 형성하는 단계; 및

상기 유전막 상에, 상기 하부 전극 및 상기 커패시터 하부 전극의 상부를 각각 지나는 상부 전극 및 커패시터 상부 전극을 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 17】**

제 16 항에 있어서,

상기 부유 게이트 전극을 형성하기 전에,

상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하는 단계; 및

상기 활성영역에 게이트 절연막을 형성하는 단계를 더 포함하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 18】**

제 16 항에 있어서,

상기 하부 전극 및 상기 커패시터 하부 전극을 형성하기 전에,

상기 부유 게이트 전극을 포함하는 반도체기판의 전면에 층간절연막을 형성하는 단계;

상기 층간절연막을 패터닝하여, 상기 부유 게이트 전극의 상부면을 노출시키는 부유 게이트 콘택홀을 형성하는 단계; 및

상기 부유 게이트 콘택홀을 채우는 부유 게이트 플러그를 형성하는 단계를 더 포함하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

**【청구항 19】**

제 18 항에 있어서,

상기 하부 전극 및 상기 커패시터 하부 전극을 형성하는 단계는

상기 부유 게이트 플러그를 포함하는 반도체기판의 전면에 하부 도전막을 형성하는 단계; 및



상기 하부 전극이 상기 부유 게이트 플러그에 전기적으로 연결되도록, 상기 하부 도전막을 패터닝하는 단계를 포함하되, 상기 하부 전극, 상기 부유 게이트 플러그 및 상기 부유 게이트 전극은 전기적으로 격리되도록 형성하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 20】

제 16 항에 있어서,

상기 유전막을 형성하기 전에,

상기 하부 전극 및 상기 커패시터 하부 전극을 포함하는 반도체기판의 전면에 하부 금속간 절연막을 형성하는 단계; 및

상기 하부 금속간 절연막을 패터닝하여, 상기 하부 전극 및 상기 커패시터 하부 전극의 상부면들을 각각 노출시키는 OTP롬 개구부 및 커패시터 개구부를 형성하는 단계를 더 포함하는 것을 특징으로하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 21】

제 16 항에 있어서,

상기 상부 금속간 절연막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 22】

제 16 항에 있어서,

상기 상부 금속간 절연막은 상기 상부 전극 및 상기 커패시터 상부 전극을 형성하는 공정동안 식각 정지막으로 사용되는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

【청구항 23】

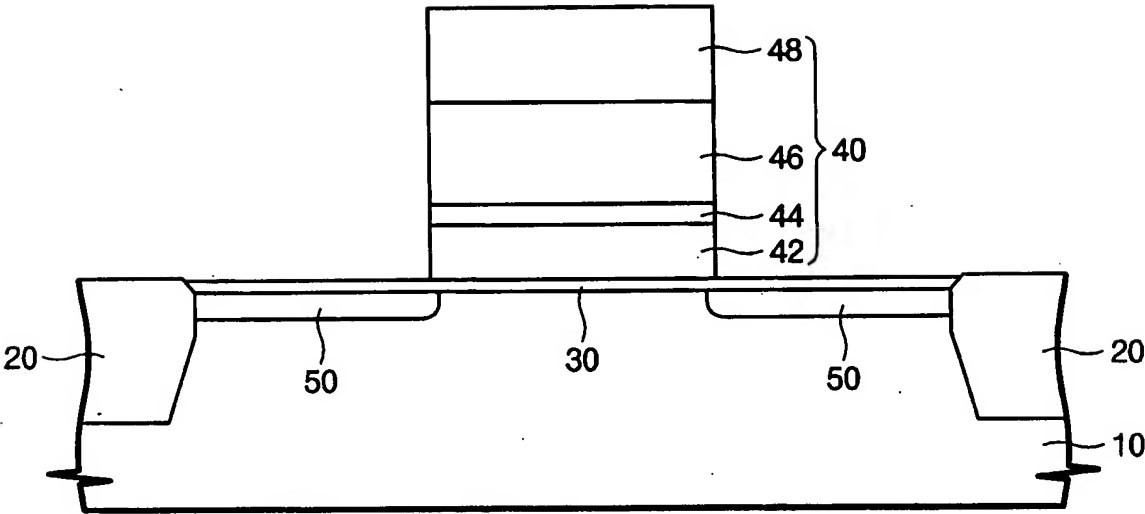
제 16 항에 있어서,

상기 상부 전극 및 상기 커패시터 상부 전극을 형성하는 단계는 상기 상부 금속간 절연막이 상기 반도체기판의 전면에 잔존하도록 실시하는 것을 특징으로 하는 OTP롬을 구비하는 반도체 장치의 제조 방법.

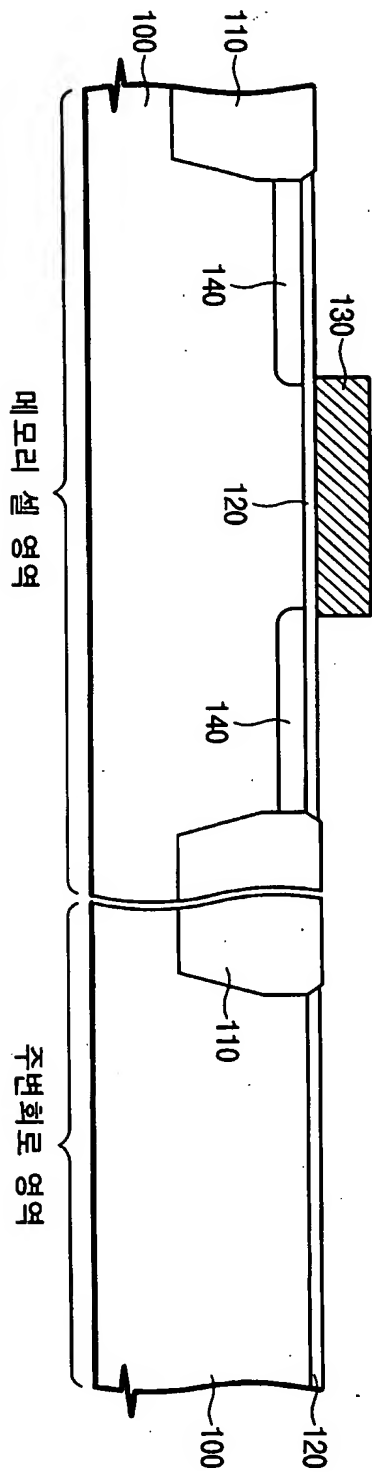
【도면】

【도 1】

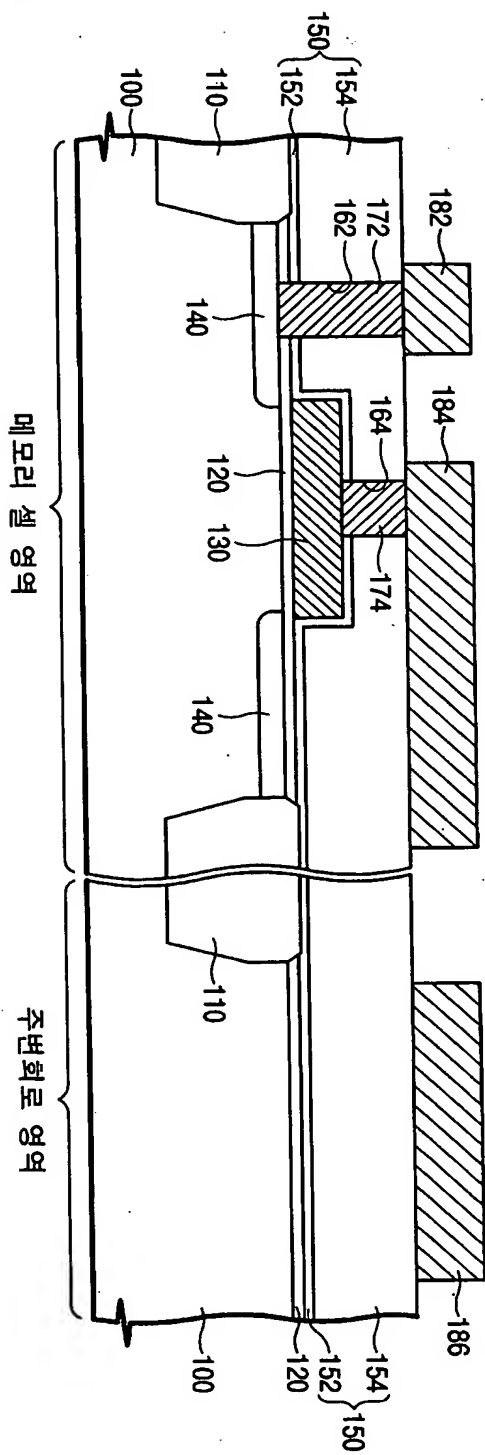
(종래 기술)



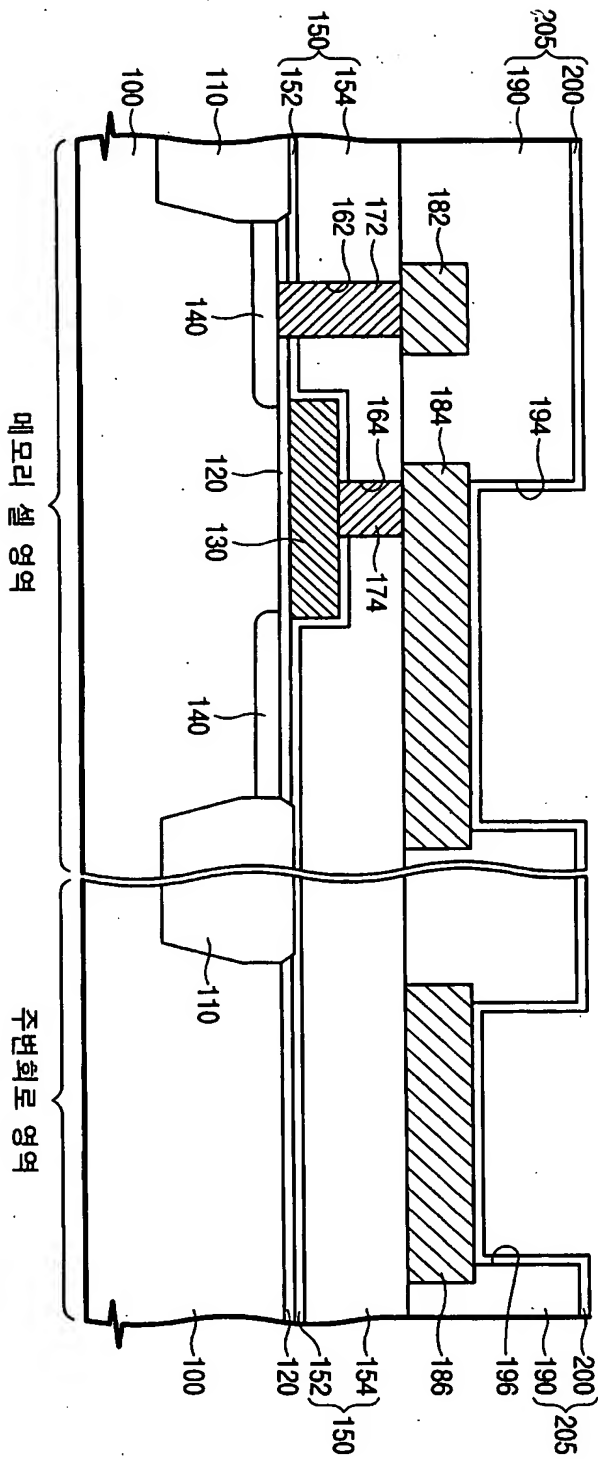
【도 2】



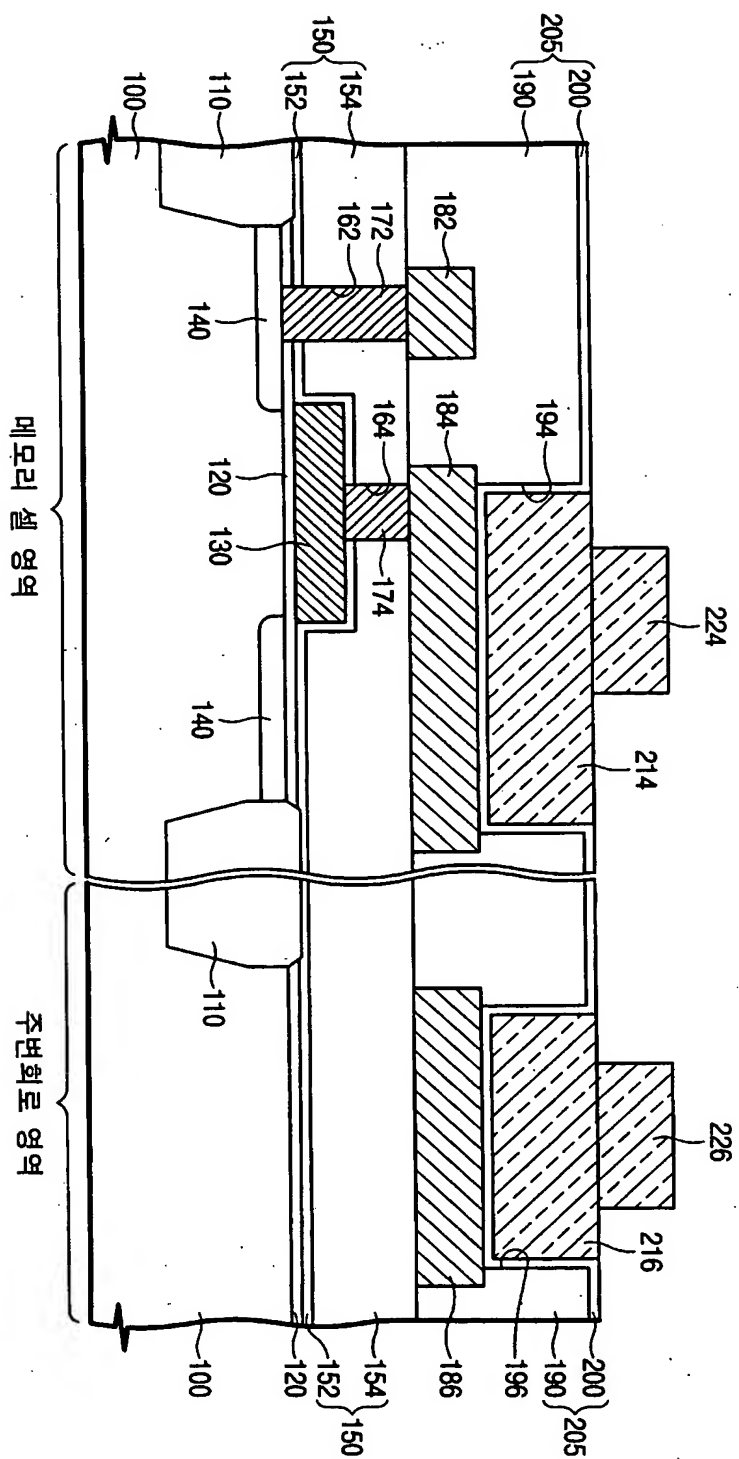
【도 3】



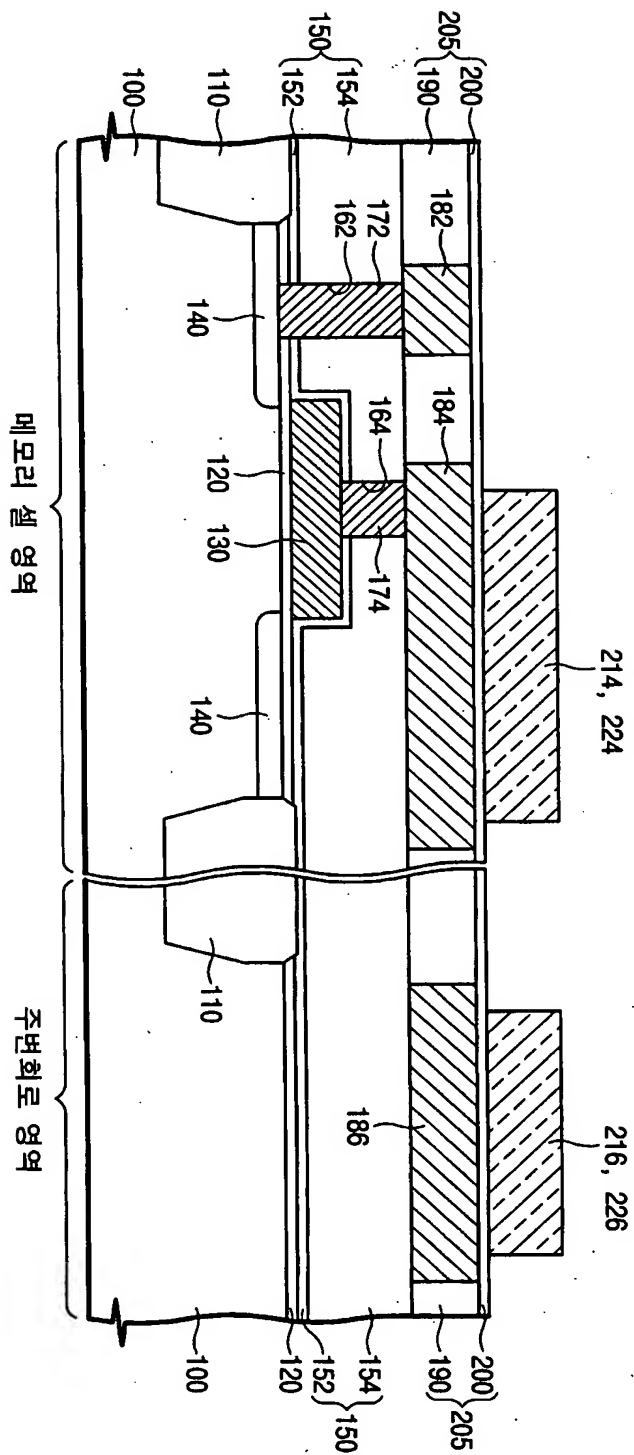
【도 4】



【도 5】

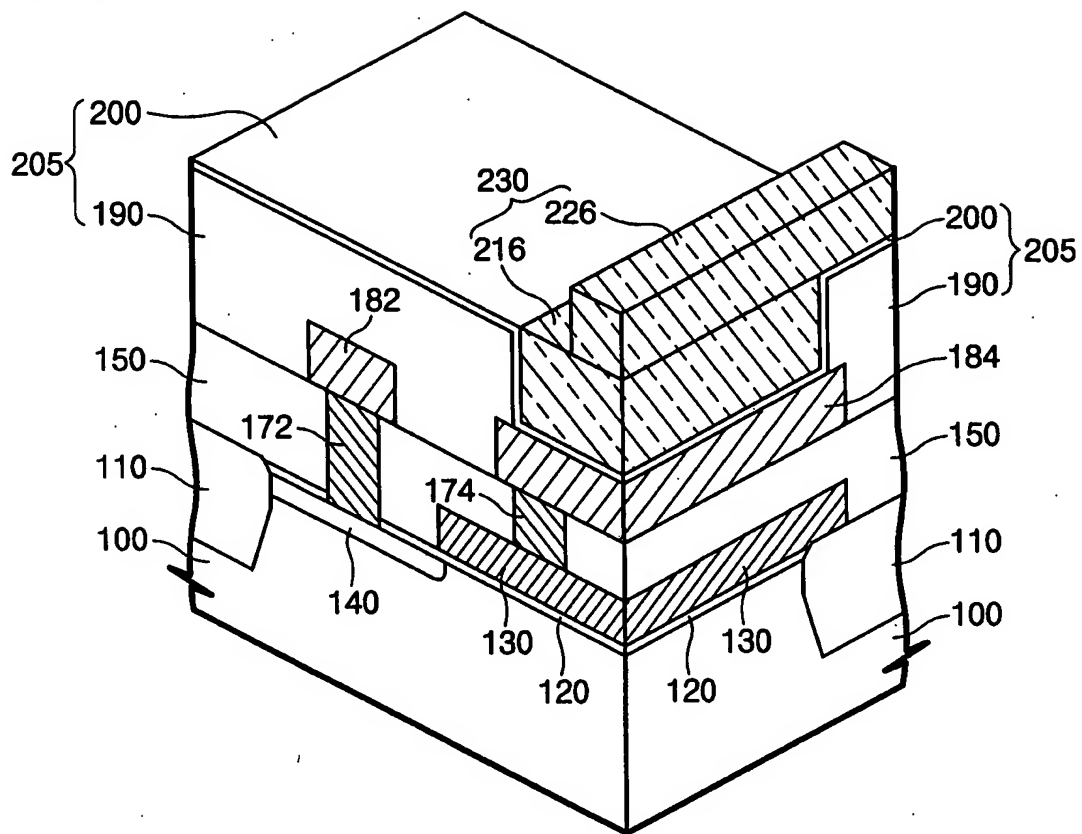


【도 6】





【도 7a】



【도 7b】

